

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
21 avril 2005 (21.04.2005)

PCT

(10) Numéro de publication internationale
WO 2005/036518 A1

(51) Classification internationale des brevets⁷ : G09G 3/36

(21) Numéro de la demande internationale :
PCT/EP2004/052408

(22) Date de dépôt international : 1 octobre 2004 (01.10.2004)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
03 12186 17 octobre 2003 (17.10.2003) FR

(71) Déposant (pour tous les États désignés sauf US) : ATMEL
GRENOBLE S.A. [FR/FR]; Avenue de Rochepleine, B.P.
123, F-38521 SAINT EGREVE CEDEX (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : AYEL,
François [FR/FR]; THALES, Intellectual Property, 31-33,
Avenue Aristide Briand, F-94117 ARCUEIL (FR). ROM-
MEVEAUX, Philippe [FR/FR]; THALES Intellectual
Property, 31-33, Avenue Aristide Briand, F-94117 AR-
CUEIL (FR).

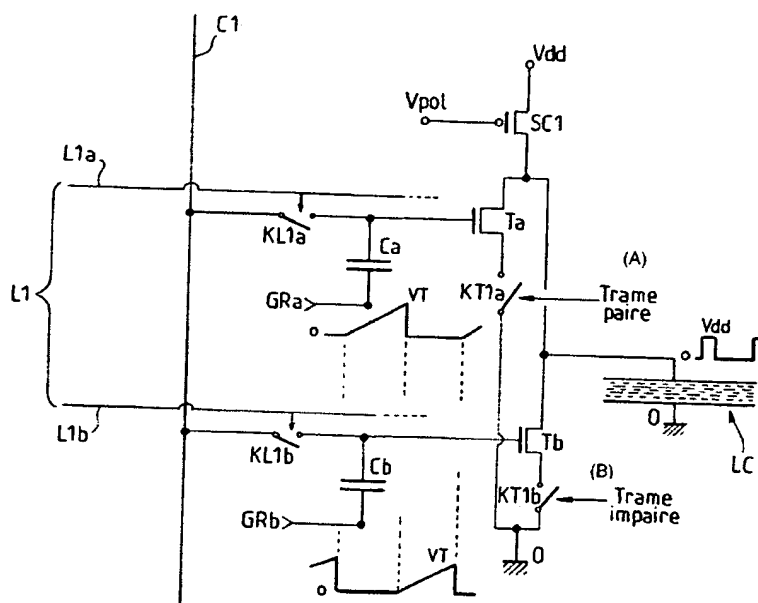
(74) Mandataires : GUERIN, Michel etc.; THALES Intellec-
tual Property, 31-33, Avenue Aristide Briand, F-94117 AR-
CUEIL (FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,

[Suite sur la page suivante]

(54) Title: LIQUID CRYSTAL MICRODISPLAY AND CONTROL METHOD THEREOF

(54) Titre : MICRO-ECRAN DE VISUALISATION A CRISTAUX LIQUIDES ET SON PROCEDE DE COMMANDE



(A) EVEN FRAME

(B) ODD FRAME

(57) Abstract: The invention relates to matrix liquid crystal microdisplays and, in particular, to those which are produced on a monolithic silicon substrate containing integrated electronic circuits for controlling a matrix array of liquid crystal cells. According to the invention, the matrix comprises, for each intersection point between a line and a column, an elementary electronic circuit for controlling an elementary liquid crystal cell which is located at said intersection. The circuit comprises at least one storage capacity (Ca, Cb) which is used to store an analog voltage applied by the column for the duration of an image frame, a first terminal of the storage capacity being connected to the gate of the transistor (Ta, Tb), and, in series between two voltage supply terminals, an elementary current source (SC1) and a switching transistor (Ta, Tb), the drain of the switching transistor being connected to the liquid crystal cell (LC). In addition, a periodic voltage ramp, which is common to all of the cells of at least one line, is applied to a second terminal of the storage capacity of the cells belonging to said line.

(57) Abrégé : L'invention concerne les micro-écrans d'affichage matriciel à cristaux liquides, et notamment ceux qui sont réalisés sur un substrat monolithique de silicium dans lequel sont intégrés les circuits électroniques de commande d'un réseau matriciel de cellules à cristaux liquides. La matrice

[Suite sur la page suivante]



CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

comprend, pour chaque point au croisement d'une ligne et d'une colonne, un circuit électronique élémentaire pour commander une cellule à cristal liquide élémentaire située à ce croisement. Ce circuit comprend au moins une capacité de stockage (Ca, Cb) pour stocker pendant la durée d'une trame d'image une tension analogique appliquée par la colonne, une première borne de la capacité de stockage étant reliée à la grille du transistor (Ta, Tb), et, en série entre deux bornes d'alimentation en tension, une source de courant élémentaire (SC1) et un transistor de commutation (Ta, Tb), le drain du transistor de commutation étant relié à la cellule à cristal liquide (LC). Une rampe de tension périodique, commune à toutes les cellules d'au moins une ligne est appliquée à une deuxième borne de la capacité de stockage des cellules de cette ligne.